

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-43917

(P2002-43917A)

(43) 公開日 平成14年2月8日(2002.2.8)

(51) Int.Cl.⁷

識別記号

F I

テームコード(参考)

H 0 3 K 17/22

H 0 3 K 17/22

B 5 J 0 5 5

17/687

17/687

Z

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願2000-227611(P2000-227611)

(22) 出願日 平成12年7月27日(2000.7.27)

(71) 出願人 390001915

山形日本電気株式会社

山形県山形市北町4丁目12番12号

(72) 発明者 中台 直俊

山形県山形市北町4丁目12番12号 山形日

本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 5J055 AX57 BX41 CX27 DX22 EX07

EY10 EY12 EY21 EZ10 EZ65

FX05 FX12 FX32 FX38 GX01

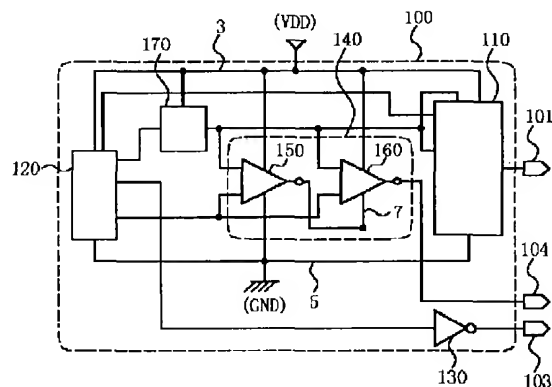
GX02 GX05

(54) 【発明の名称】 バンドギャップ回路及びこれを用いたパワー・オン・クリア回路

(57) 【要約】

【課題】 VDDが検出電圧VPOC以下の範囲でリセット信号が解除されることのないPOC回路及びそれに用いるバンドギャップ回路を提供する。

【解決手段】 MOSバンドギャップ回路100を、スタートアップ手段170と、所定の電圧の基準信号と第1の内部制御信号と第2の内部制御信号を出力するリファレンス電圧回路部110と、印加された電圧を分圧した第1の分圧電圧と第2の分圧電圧(但し、第1の分圧電圧≧第2の分圧電圧とする)とスタートアップ手段制御電圧を出力する制御電圧発生回路部120と、第1の分圧電圧を入力信号とし、その反転信号を出力するIN V130と、制御電圧発生回路部120から出力された第2の分圧電圧と、リファレンス電圧回路部110から出力された第2の内部制御信号とを比較入力とする比較回路150、160を備えた比較手段140とを含み構成する。



タとの直列接続点と前記第10、第11の第1導電型MOSトランジスタの各ゲートとが互いに接続され、更に前記第4、第6の第2導電型MOSトランジスタの各ゲートは第2、第3の抵抗素子の直列接続点と接続され、前記第5、第7の第2導電型MOSトランジスタの各ゲートは第2の内部制御信号の出力端と接続され、前記第10の第1導電型MOSトランジスタと前記第6の第2導電型MOSトランジスタとの直列接続点が第2制御信号を出力する出力端として構成された請求項3乃至6いずれか1項に記載のバンドギャップ回路。

【請求項7】 少なくとも所定の電圧の基準信号と第1制御信号と第2制御信号とを出力する請求項1乃至6いずれか1項に記載のバンドギャップ回路と、高位側電源配線と低位側電源配線との間に接続され第3の分圧電圧を出力する検出電圧出力回路部と、前記基準信号と前記第3の分圧電圧を比較入力とし、この比較結果を検出信号として出力する第3の比較回路と、前記第1制御信号、前記第2制御信号及び前記検出信号を入力して論理処理を施し処理結果をパワー・オン・クリア信号として出力する論理回路を含むことを特徴とするパワー・オン・クリア回路。

【請求項8】 検出電圧出力回路部が、高位側電源配線と低位側電源配線との間に直列接続された第6、第7の抵抗素子により構成され、且つ前記第6、第7の抵抗素子の直列接続点を第3の分圧電圧の出力端とし、論理回路が3入力論理和回路である請求項7記載のパワー・オン・クリア回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の搭載されるパワー・オン・クリア回路（以下、POC回路とする）及びこのPOC回路に用いられる所定の電圧の基準信号を発生するバンドギャップ回路に関する。

【0002】

【従来の技術】半導体装置に搭載され、当該半導体装置或いは当該半導体装置を含むシステムの電源投入時に、電源電圧が半導体装置或いはシステムを正常動作させることができる所定の電圧に達するまでリセット信号を発生して当該半導体装置或いはシステムをリセット状態に保持させるPOC回路は種々提案されており、特にリセット解除を判定する基準電圧の生成には、生成電圧の精度とその安定性に優れたバンドギャップ回路が用いられることが多い。

【0003】図4は、基準電圧生成手段にバンドギャップ回路を用いたPOC回路のブロック図の例である。このPOC回路200は、所定の電圧の基準信号及び第1、第2制御信号をそれぞれノード201、203、204を介して出力する基準電圧発生手段210と、検出すべき電源電圧を所定の分圧比で分圧した電圧を比較用信号として出力する分圧手段220と、ノード201を

介して出力される基準電圧発生手段210で生成された所定の基準電圧と分圧手段220から出力される比較用信号電圧を比較し出力端231から比較結果信号を出力するコンパレータ230と、基準電圧発生手段210からノード203、204を介して出力される第1、第2制御信号とコンパレータ230の出力端231から出力される比較結果信号を入力して論理処理を施し処理結果をPOC回路200の出力信号として出力端241より出力する論理和回路240を備えて構成されている。

【0004】図5は、この基準電圧発生手段210として用いられている従来のバンドギャップ回路の具体的な回路図の例である。

【0005】図5を参照すると、この従来のバンドギャップ回路300は、印加される電源電圧（VDD）が所定の値を超えると起動し所定の電圧の基準信号と第1の内部制御信号を出力するリファレンス電圧回路部310、VDDの供給開始直後からリファレンス電圧回路部310を含む所定の回路部が能動状態になるまでの初期状態時間を短縮させるための第2の内部制御信号を出力するスタートアップ手段370、第1の内部制御信号を受けて動作を開始し印加された電圧を分圧した第1の分圧電圧と第2の分圧電圧（但し、第1の分圧電圧 \geq 第2の分圧電圧とする）とを出力する制御電圧発生回路部320、第1の分圧電圧を入力信号としその反転信号を第1制御信号として出力するインバータ330、及び制御電圧発生回路部320から出力された第2の分圧電圧とスタートアップ手段170から出力された第2の内部制御信号とを比較入力として比較結果を第2制御信号として出力する比較回路部340を備えて構成されている。

【0006】この従来のバンドギャップ回路300の動作は次の通りである。

【0007】VDDがPチャネルMOSトランジスタ（以下、PMOSとする）の閾値（ $|V_{tp}|$ ）を越えるまで上昇すると、PMOS317がON状態になる。PMOS317がON状態になるとNチャネルMOSトランジスタ（以下、NMOSとする）331～333のゲート電圧が持ち上がるので、NMOS331～333がON状態になる。続いてPMOS316とPMOS311、313、314のゲート電圧がGNDレベルに引き下げられるので、PMOS316とPMOS311、313、314がON状態になり、リファレンス電圧回路部310が動作状態に入る。基準信号V_{BQ}の電圧V_{bq}としては、“ダイオード351の順方向電圧”と“抵抗素子342による電圧降下分”の和電圧が出力端301より出力される。続いてPMOS316から抵抗素子343～345にも電流が流れて、抵抗素子343～345からなる抵抗列回路も動作状態に入る。抵抗素子343と抵抗素子344の直列接続点の電圧を入力とするインバータ330の出力が、第1制御信号V_{OUT1}として出力端303より出力される。この第1制御信号V_{OUT1}のレベ

ルは、抵抗列回路が動作状態に入る以前は高レベル（以下、“H”とする）で、動作状態以後は低レベル（以下、“L”とする）である。また、PMOS318とNMOS334との直列接続点の電圧が、比較回路部340の比較結果である第2制御信号 V_{OUT2} として出力端304より出力され、その出力レベルは、抵抗列回路の抵抗素子344と345との直列接続点電圧すなわちNMOS334のゲート電圧が第2の内部制御信号電圧すなわちNMOS335のゲート電圧を越えた時点で“H”→“L”に切り替わる。

【0008】ここで、基準電圧発生手段210にバンドギャップ回路300を用いたときのPOC回路200の動作を簡単に説明する。尚、このとき電圧 V_{BQ} の基準信号 V_{BG} を出力する出力端301、第1制御信号 V_{OUT1} を出力する出力端303及び第2制御信号 V_{OUT2} を出力する出力端304は、それぞれノード201、203及び204に接続される。

【0009】バンドギャップ回路300から出力される第1制御信号 V_{OUT1} と第2制御信号 V_{OUT2} は、POC回路200の論理和回路240に直接入力され、電圧 V_{BQ} の基準信号 V_{BG} は、 V_{DD} を分圧する分圧手段220が例えば直列接続した抵抗素子221と223で構成され抵抗素子221と223の直列接続点から出力される比較用信号電圧 V_{RIN} をもう一方の入力とする、コンパレータ230に入力される。尚、このコンパレータ230は、 $V_{RIN} \leq V_{BG}$ ではコンパレータ230の出力信号 V_{CP} のレベルが“H”になるように設計される。

【0010】従って、 V_{DD} が上昇して V_{OUT1} と V_{OUT2} のレベルが“L”になっても、 $V_{RIN} \leq V_{BG}$ である間はPOC回路200の出力信号 V_{OUT} は“H”になり、この期間は当該半導体装置或いはシステムがリセット状態に保持される。さらに V_{DD} が上昇して $V_{RIN} > V_{BG}$ になると、 V_{CP} のレベルも“L”になるので V_{OUT} のレベルは“L”になる。これ以後はリセット解除となり、半導体装置或いはシステムが動作状態に入る。このリセット解除になるときの V_{DD} の値が、POC回路の検出電圧 V_{POC} である。

【0011】

【発明が解決しようとする課題】通常、POC回路200は、 V_{DD} が仕様で定められた電圧 V_{POC} 以下の時、すなわち $V_{DD} \leq V_{POC}$ では、内部信号 V_{OUT1} 、 V_{OUT2} 、 V_{CP} のうち1つ以上の信号が必ず“H”になるように設計されている。従って、これらの論理和信号であるPOC回路200の出力信号 V_{OUT} は“H”であり、この V_{OUT} が“H”の間リセット状態が保持されるようになっている。

【0012】しかし、基準電圧発生手段210に従来のバンドギャップ発生回路300を用いたPOC回路200では、構成要素であるトランジスタ等の素子の特性にバラツキが生じると次のような問題があった。

【0013】図6(a)～(d)は、POC回路200の基準電圧発生手段210に従来のバンドギャップ発生回路300を用いたときの、バンドギャップ回路300から出力される基準信号 V_{BG} 、第1、第2制御信号 V_{OUT1} 、 V_{OUT2} とPOC回路200の比較用信号電圧 V_{RIN} 、コンパレータ230の出力信号 V_{CP} 及び出力信号 V_{OUT} のシミュレーション結果を横軸を時間、縦軸を電圧にして示すグラフである。尚、 V_{OUT1} 、 V_{OUT2} 、 V_{CP} の論理和がPOC回路200の出力信号 V_{OUT} になる。このため、素子特性のバラツキにより V_{CP} が一時的に低レベルになる図6(c)のQ部の範囲内で、図6(b)のように V_{OUT2} が低レベルになってしまうと、図6(d)のR部に示すように、 $V_{DD} \leq V_{POC}$ でも内部信号がすべて“L”になり、 V_{OUT} が“L”となる区間が発生する。この場合 V_{DD} が半導体装置或いはシステムが正常に動作できる最低動作電圧（通常 V_{POC} ）以下でリセット解除されてしまうため、半導体装置或いはシステムが誤動作を引き起こし、例えば半導体装置或いはシステムがマイクロプロセッサやメモリ（以下、RAMとする）等を含む場合、最悪はRAMのデータを破壊する可能性もある。

【0014】従って、本発明の目的は、 V_{DD} が検出電圧 V_{POC} 以下の範囲でリセット信号が解除されることのないPOC回路及びそれに用いるバンドギャップ回路を提供することにある。

【0015】

【課題を解決するための手段】そのため、本発明によるバンドギャップ回路は、高位側電源電圧が所定の値を超えると起動し、少なくとも所定の電圧の基準信号と第1、第2の内部制御信号を出力するリファレンス電圧回路部と、高位側電源電圧の供給開始直後から、少なくともリファレンス電圧回路部を含む所定の回路部が能動状態になるまでの初期状態時間を短縮させるための第3の内部制御信号を出力するスタートアップ手段と、第1の内部制御信号を受けて動作を開始し、少なくとも印加された電圧を分圧した第1の分圧電圧と第2の分圧電圧（但し、第1の分圧電圧 \geq 第2の分圧電圧とする）とを出力する制御電圧発生回路部と、第1の分圧電圧を入力信号とし、その反転信号を第1制御信号として出力するインバータと、制御電圧発生回路部から出力された第2の分圧電圧と第2の内部制御信号とを比較入力とする複数の比較回路を備え、この中の一つの比較回路から比較結果を第2制御信号として出力する比較手段と、を少なくとも含む構成されている。

【0016】このとき、リファレンス電圧回路部は、高位側電源配線と低位側電源配線との間に、第1、第2の第1導電型MOSトランジスタと第1の第2導電型MOSトランジスタとが高位側電源側からこの順序で直列接続された第1の直列接続体と、第3の第1導電型MOSトランジスタと第2、第3の第2導電型MOSトランジ

スタと第1の抵抗素子とが高位側電源配線側からこの順序で直列接続された第2の直列接続体と、第4、第5の第1導電型MOSトランジスタと第2の抵抗素子とこの第2の抵抗素子側をアノードとする第1のダイオードとが、高位側電源側からこの順序で直列接続された第3の直列接続体と、第2、第3のダイオードと定電流源とが、各ダイオードのアノードを高位側電源配線側として高位側電源配線側からこの順序で直列接続された第4の直列接続体とを有し、第3の第1導電型MOSトランジスタと第2の第2導電型MOSトランジスタとの直列接続点と第1、第3、第4の第1導電型MOSトランジスタの各ゲートとが互いに接続された第1の共通接続点を第1の内部制御信号の出力端とし、第2の第1導電型MOSトランジスタと第1の第2導電型MOSトランジスタとの直列接続点と第1、第2、第3の第2導電型MOSトランジスタの各ゲートとが互いに接続された第2の共通接続点をスタートアップ手段の出力端と接続すると共に第2の内部制御信号の出力端とし、第5の第1導電型MOSトランジスタと第2の抵抗素子の直列接続点を基準信号の出力端とし、第3のダイオードのカソードと定電流源との直列接続点と、第2、第5の第1導電型MOSトランジスタの各ゲートを互いに接続して構成することができる。

【0017】また、制御電圧発生回路部は、第1及び第2の分圧電圧を発生する抵抗分圧手段に加えて、スタートアップ手段を制御するスタートアップ制御信号を発生するスタートアップ信号発生手段とを備えて構成することができる。

【0018】尚、制御電圧発生回路部は、抵抗分圧手段が第3、第4、第5の抵抗素子をこの順序で直列接続して構成され、スタートアップ信号発生手段が容量素子と第6の第1導電型MOSトランジスタを含んで構成され、第6の第1導電型MOSトランジスタのゲートは第1の内部制御信号出力端に接続され、第6の第1導電型MOSトランジスタのソースドレイン路が高位側電源配線と第3の抵抗素子の一端との間を接続すると共に第3の抵抗素子の一端、容量素子の一端及びスタートアップ手段に含まれる第7の第1導電型MOSトランジスタのゲートとが共通接続され、容量素子の他端及び第5の抵抗素子の一端は低位側電源配線に接続され、第3の抵抗素子と第4の抵抗素子との直列接続点を第1の分圧電圧の出力端とし、第4の抵抗素子と第5の抵抗素子との直列接続点を第2の分圧電圧の出力端とする構成としてもよい。

【0019】また、第2制御信号を出力する比較手段は、いずれも第2の分圧電圧と第2の内部制御信号電圧とを比較する第1の比較回路と第2の比較回路を備え、第1の比較回路の出力端が第2の比較回路の低位側共通電位配線に接続され、第2制御信号が前記第2の比較回路より出力される構成とすることができる。

【0020】より具体的には、比較手段は、高位側電源配線と低位側電源配線との間に、第8の第1導電型MOSトランジスタと第4の第2導電型MOSトランジスタとが高位側電源側からこの順序で直列接続された第5の直列接続体と、第9の第1導電型MOSトランジスタと第5の第2導電型MOSトランジスタとが高位側電源側からこの順序で直列接続された第6の直列接続体とを有する第1の比較回路部と、高位側電源配線と低位側共通電位配線との間に、第10の第1導電型MOSトランジスタと第6の第2導電型MOSトランジスタとが高位側電源側からこの順序で直列接続された第7の直列接続体と、第11の第1導電型MOSトランジスタと第7の第2導電型MOSトランジスタとが高位側電源側からこの順序で直列接続された第8の直列接続体とを有し、且つ低位側共通電位配線は第8の第1導電型MOSトランジスタと第4の第2導電型MOSトランジスタとの直列接続点と接続する第2の比較回路部とを備え、第9の第1導電型MOSトランジスタと第5の第2導電型MOSトランジスタとの直列接続点と第8、第9の第1導電型MOSトランジスタの各ゲートとが互いに接続され、第11の第1導電型MOSトランジスタと第7の第2導電型MOSトランジスタとの直列接続点と第10、第11の第1導電型MOSトランジスタの各ゲートとが互いに接続され、更に第4、第6の第2導電型MOSトランジスタの各ゲートは第2、第3の抵抗素子の直列接続点と接続され、第5、第7の第2導電型MOSトランジスタの各ゲートは第2の内部制御信号の出力端と接続され、第10の第1導電型MOSトランジスタと第6の第2導電型MOSトランジスタとの直列接続点が第2制御信号を出力する出力端として構成することができる。

【0021】また、本発明によるPOC回路は、上述の本発明によるバンドギャップ回路と、高位側電源配線と低位側電源配線との間に接続され第3の分圧電圧を出力する検出電圧出力回路部と、バンドギャップ回路から出力される基準信号電圧と第3の分圧電圧を比較入力とし、この比較結果を検出信号として出力する第3の比較回路と、バンドギャップ回路から出力される第1制御信号、第2制御信号及び第3の比較回路から出力される検出信号を入力して論理処理を施し処理結果をパワー・オン・クリア信号として出力する論理回路を含み構成することができる。

【0022】このとき、検出電圧出力回路部を高位側電源配線と低位側電源配線との間に直列接続された第6、第7の抵抗素子により構成してこの第6、第7の抵抗素子の直列接続点を第3の分圧電圧の出力端とし、更に論理回路を3入力論理和回路により構成してもよい。

【0023】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0024】図1は、本発明の一実施形態のMOSバン

ドギャップ回路のブロック図であり、図2は、その具体的な回路図の一例である。

【0025】図1、2を参照すると、本実施形態のMOSバンドギャップ回路100は、スタートアップ手段170と、高位側電源（以下、V_{DD}とする）の電圧が所定の値（通常、MOSトランジスタの閾値電圧）を超えると起動し、所定の電圧の基準信号と第1の内部制御信号と第2の内部制御信号を出力するリファレンス電圧回路部110と、第1の内部制御信号を受けて動作を開始し、印加された電圧を分圧した第1の分圧電圧と第2の分圧電圧（但し、第1の分圧電圧 \geq 第2の分圧電圧とする）とスタートアップ手段制御電圧を出力する制御電圧発生回路部120と、第1の分圧電圧を入力信号とし、その反転信号を出力するINV130と、制御電圧発生回路部120から出力された第2の分圧電圧と、リファレンス電圧回路部110から出力された第2の内部制御信号とを比較入力とする比較回路150、160を備えた比較手段140とを含み構成されている。尚、図2の回路は、第1導電型MOSトランジスタと第2導電型MOSトランジスタを、それぞれPMOSとNMOSとして構成した例である。

【0026】まず、リファレンス電圧回路部110は、高位側電源配線（以下、V_{DD}配線とする）3と低位側電源配線（以下、GND配線とする）5との間に、第1、第2の第1導電型MOSトランジスタであるPMOS11、12と第1の第2導電型MOSトランジスタであるNMOS31とがV_{DD}配線3側からこの順序で直列接続された第1の直列接続体と、第3の第1導電型MOSトランジスタであるPMOS13と第2、第3の第2導電型MOSトランジスタであるNMOS32、33と第1の抵抗素子41とがV_{DD}配線3側からこの順序で直列接続された第2の直列接続体と、第4、第5の第1導電型MOSトランジスタであるPMOS14、15と第2の抵抗素子42とこの第2の抵抗素子42側をアノードとする第1のダイオード51とが、V_{DD}配線3側からこの順序で直列接続された第3の直列接続体と、第2、第3のダイオード52、53と定電流源50とが、ダイオード52、53の各アノードをV_{DD}配線3側としてV_{DD}配線側からこの順序で直列接続された第4の直列接続体とを備えている。PMOS13及びNMOS32の各ドレイン並びにPMOS11、13、14の各ゲートとが互いに接続された第1の共通接続点Aが第1の内部制御信号の出力端となり、PMOS12及びNMOS31の各ドレイン並びにNMOS31、32、33の各ゲートとが互いに接続された第2の共通接続点Bが、第2の内部制御信号の出力端となっている。尚、第3のダイオード53のカソードと定電流源50との直列接続点Dと、PMOS12、15の各ゲートが互いに接続されている。このリファレンス電圧回路部110で生成される電圧V_{bq}の基準信号V_{BQ}は、PMOS15のドレインと第2の

抵抗素子42の直列接続点Cから出力端101を介して出力される。

【0027】また、制御電圧発生回路部120は、スタートアップ制御信号発生手段を構成する第6の第1導電型MOSトランジスタであるPMOS16と容量素子56を含むと共に、V_{DD}配線3とGND配線5との間を前述のPMOS16と第1、第2、第3の抵抗素子41、42、43とをV_{DD}配線3側からこの順序で直列接続した直列接続体を含んで構成されている。PMOS16のソースはV_{DD}配線3と接続され、ドレインと第3の抵抗素子43の直列接続点Eに容量素子56の一端及びスタートアップ手段170を構成する第7の第1導電型MOSトランジスタであるPMOS17のゲートが接続され、容量素子56の他端及び第5の抵抗素子45の一端はGND配線5に接続され、第3の抵抗素子43と第4の抵抗素子44との直列接続点F及び第4の抵抗素子44と第5の抵抗素子45との直列接続点Gがそれぞれ第1の分圧電圧及び第2の分圧電圧の出力端として構成されている。尚、PMOS17のソースはV_{DD}配線3と接続され、ドレインは第2の共通接続点Bと接続されており、直列接続点Fは第1の分圧電圧の反転信号を出力するINV130の入力端と接続されている。

【0028】次に、比較手段140は、第1の比較回路150と第2の比較回路160を備え、第1の比較回路150の出力端Dが第2の比較回路160の低位側共通電位配線7に接続され、第1の比較結果信号が第2の比較回路160の出力端Eより出力される構成となっている。より具体的には、第1の比較回路部150が、V_{DD}配線3とGND配線5との間を接続する、第8の第1導電型MOSトランジスタであるPMOS18と第4の第2導電型MOSトランジスタであるNMOS34とがV_{DD}配線3側からこの順序で直列接続された第5の直列接続体と、第9の第1導電型MOSトランジスタであるPMOS19と第5の第2導電型MOSトランジスタであるNMOS35とがやはりV_{DD}配線3側からこの順序で直列接続された第6の直列接続体とを備え、第2の比較回路部160がV_{DD}配線3と配線7との間に、第10の第1導電型MOSトランジスタであるPMOS20と第6の第2導電型MOSトランジスタであるNMOS36とがV_{DD}配線3側からこの順序で直列接続された第7の直列接続体と、第11の第1導電型MOSトランジスタであるPMOS21と第7の第2導電型MOSトランジスタであるNMOS37とがやはりV_{DD}配線3側からこの順序で直列接続された第8の直列接続体とを含み構成されている。そして、PMOS19とNMOS35との直列接続点とPMOS18、19の各ゲートとが互いに接続され、PMOS21とNMOS37との直列接続点とPMOS20、21の各ゲートとが互いに接続され、更にNMOS34、36の各ゲートは直列接続点Gと接続され、NMOS35、37の各ゲートは第2の共通接

続点Bと接続されている。PMOS18とNMOS34の直列接続点Jが第1の比較回路150の出力端となり、PMOS20とNMOS36との直列接続点Kが第2の比較回路160の出力端となり、MOSバンドギャップ回路100の出力端104と接続されている。

【0029】次に、上述のように構成されたMOSバンドギャップ回路100の動作について説明する。

【0030】MOSバンドギャップ回路100の電源が投入され、VDDの電圧値が上昇してMOSトランジスタの閾値 $|V_{tp}|$ 、 $|V_{tn}|$ を越えると、スタートアップ手段170のPMOS17のゲートが接続されている直列接続点EはGND電位になっているのでこのPMOS17がまずオンする。すると、リファレンス回路部110のNMOS31、32、33及び比較手段140のNMOS35が続いてオンする。これにより、第1の共通接続点Aの電位がGNDレベルに下がるので、PMOS11、13、14、16のゲート電位が下がりこれらの各トランジスタがオンする。また、NMOS35とPMOS19の直列接続点の電位も下がりPMOS18、19のゲート電位が下がりPMOS18、19もやはりオンする。次にPMOS12、15がオン状態となり、リファレンス回路部110が動作状態に入る。直列接続点Cの電位は、第1のダイオード51の順方向立ち上がり電圧と第2の抵抗素子42による電圧降下分の和電圧となり、この直列接続点Cの電圧 V_{bq} がMOSバンドギャップ回路100の基準信号 V_{BG} として出力端101を介して出力される。

【0031】制御電圧発生回路部120は、PMOS16がオンすることにより動作状態になり、まず容量素子56が充電された後、直列接続点Eの電位がほぼVDDの電圧値まで持ち上がる。すると、PMOS17はオフ状態となり、スタートアップ手段170は、動作を停止する。また、PMOS16がオンするまでは、直列接続点F、Gの電位は低レベル（以下、“L”とする）であり、PMOS16がオンすると、第3～第5の抵抗素子43～45にも電流が流れ初め、直列接続点F、Gの電位も上昇する。従って、この直列接続点Fに入力端が接続されているINV130の出力が接続された出力端103の電位は、VDDの電圧値がMOSトランジスタの閾値電圧を超えた直後から高レベル（以下、“H”とする）を維持し、制御電圧発生回路部120が動作状態になり直列接続点Fの電位がMOSトランジスタの閾値を超えると“L”になる。

【0032】次に、比較手段140の動作について説明する。

【0033】電源投入直後は、制御電圧発生回路部120は動作を開始しておらず、直列接続点Gの電位 V_{IN1} すなわちNMOS34のゲート電位はGNDレベルにある。一方リファレンス電圧回路部110の第2の共通接続点Bの電位 V_{IN2} すなわちNMOS35のゲート電位

は、スタートアップ手段17から出力される第3の内部制御信号によりほぼ電源電圧に近い電位となる。従って、第1の比較回路150の出力端である直列接続点Jの電位は“H”となっている。その後、電源電圧が更に上昇してリファレンス電圧回路部110が動作状態に入り、直列接続点Gの電位 V_{IN1} が第2の共通接続点Bの電位 V_{IN2} を超えると、第1の比較回路150の出力端である直列接続点Jの電位が“H”から“L”に切り替わる。尚、このときの電源電圧を、例えば V_{D1} としておく。これにより、配線7の電位が下がって、第2の比較回路160が動作状態になり、比較動作を行う。第2の比較回路160の比較入力信号は第1の比較入力信号と同じであり、第2制御信号 V_{out2} の出力端となっている直列接続点Kの電位は、“H”から“L”に切り替わろうとするが、第2の比較回路160の低位側共通電位配線7はNMOS34のドレイン端に接続されているので、このNMOS34が第2の比較回路160の電流制限の役割を果たす。従って、直列接続点Kの電位が“H”から“L”に切り替わるとき電源電圧を V_{D2} とすると、少なくとも $V_{D2} > V_{D1}$ となる。また、直列接続点Kの電位は、NMOS34による電流制限効果により“L”になるのが遅れ且つその到達レベルもやや高くなる。

【0034】次に、図4に示すPOC回路200の基準電圧発生手段210に、上述のバンドギャップ回路100を適用した場合のPOC回路200の動作について説明する。尚、バンドギャップ回路100を適用する場合も従来のバンドギャップ回路300の場合と同様、電圧 V_{bq} の基準信号 V_{BG} を出力する出力端101、第1制御信号 V_{out1} を出力する出力端103及び第2制御信号 V_{out2} を出力する出力端104を、それぞれノード201、203及び204に接続する。また、基本的な動作は、バンドギャップ回路300を適用した場合と同様であるので詳細な動作の説明は省略する。

【0035】図3(a)～(d)は、基準電圧発生手段210にバンドギャップ回路100を適用した場合のPOC回路200の動作シミュレーション結果の例を示すグラフで、横軸を時間、縦軸を電圧として、時間と共に電源電圧VDDを上昇させたときの(a)は第1制御信号 V_{out1} 、(b)は第2制御信号 V_{out2} 、(c)は基準信号 V_{BG} の電圧 V_{bq} 、第3の分圧電圧 V_{VRIN} 及びコンパレータ230の出力信号 V_{cp} 、(d)はPOC回路200の出力信号 V_{out} の変化を示す。尚、トランジスタサイズ、閾値電圧等のシミュレーション条件は、図6(a)～(d)の例と同一条件とした。

【0036】図3(b)、(c)から分かりますとおり基準電圧発生手段210にバンドギャップ回路100を適用した場合、第2制御信号 V_{out2} の出力端である直列接続点Kの電位が“H”から“L”に切り替わるとき電源電圧を、従来のバンドギャップ回路300の第2制御信号

* である。

【符号の説明】

5 GND配線

11~21 PMOS

31~37 NMOS

51, 52, 53 ダイオード

100 バンドギャップ回路

101, 103, 104 出力端

110 リファレンス電圧回路部

120 制御電圧発生回路部

130 インバータ (INV)

140 比較手段

150, 160 比較回路

20 170 スタートアップ手段

200 POC回路

201, 203, 204 ノード

210 基準電圧発生手段

220 分压手段

230 コンパレータ

240 論理和回路

【発明の効果】以上説明したように、本発明のバンドギャップ回路は第2制御信号のレベルが反転する電源電圧をより高電圧側にシフトさせているので、このバンドギャップ回路をP O C回路の基準電圧発生手段に用いることにより、電源電圧が検出電圧 V_{POC} 以下の範囲でのリセット信号解除領域の発生が無くなり、P O C回路の誤動作を防止できるという効果が得られる。

【図面の簡単な説明】

【図１】本発明のバンドギャップ回路の一実施形態を示すブロック図である。

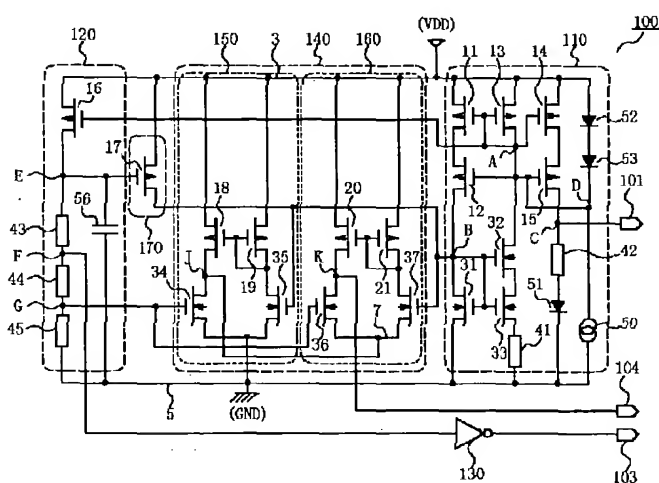
【図２】本発明のバンドギャップ回路の一実施形態を示す回路図である。

【図3】本発明のバンドギャップ回路を用いたPOC回路のシミュレーション結果を示すグラフである。

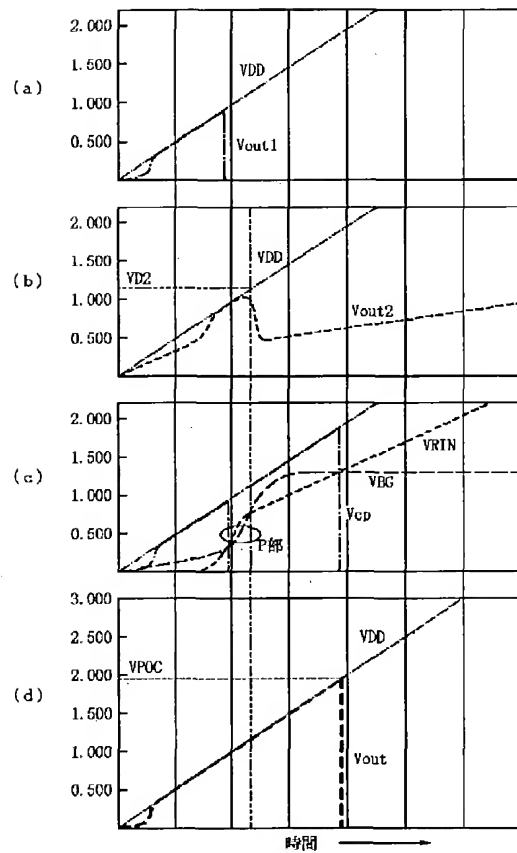
【図4】POC回路の1例を示すブロック図である。

【図5】従来のバンドギャップ回路の1例を示す回路図*

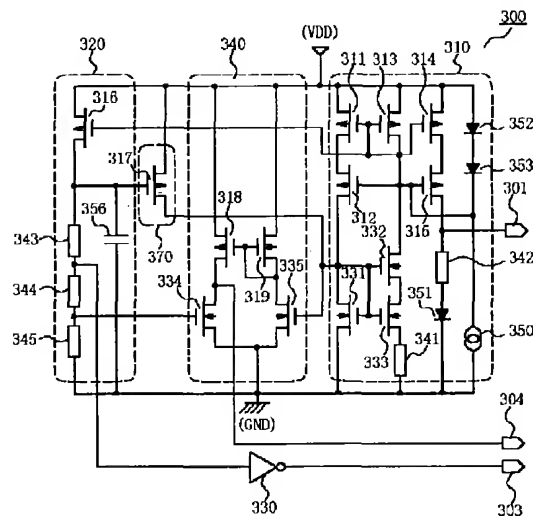
【圖2】



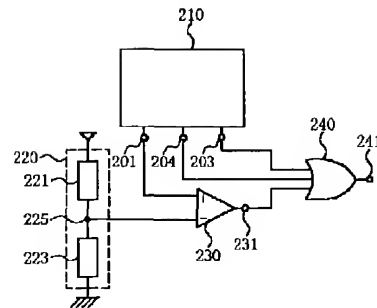
【図3】



【図5】



【図4】



【図6】

